

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2001年 6月 6日
Date of Application:

出 願 番 号 特願2001-209985
Application Number:

パリ条約による外国への出願
に用いる優先権の主張の基礎
となる出願の国コードと出願
番号

J P 2001-209985

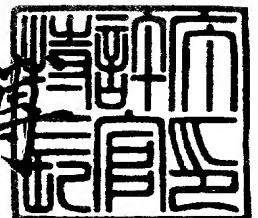
The country code and number
of your priority application,
to be used for filing abroad
under the Paris Convention, is

出 願 人 本田技研工業株式会社
Applicant(s):

2007年 9月21日

特許庁長官
Commissioner,
Japan Patent Office

肥塚 雅博



【書類名】 特許願

【整理番号】 H101058901

【提出日】 平成13年 6月 6日

【あて先】 特許庁長官殿

【国際特許分類】

H04N 5/335

【請求項の数】 7

【発明者】

【住所又は居所】 埼玉県狭山市新狭山 1 丁目 1 0 番地 1 ホンダエンジニアリング株式会社内

【氏名】 篠塚 典之

【特許出願人】

【識別番号】 000005326

【住所又は居所】 東京都港区南青山二丁目 1 番 1 号

【氏名又は名称】 本田技研工業株式会社

【代表者】 吉野 浩行

【代理人】

【識別番号】 100077746

【住所又は居所】 神奈川県横浜市中区弁天通り 2 丁目 2 5 番地 関内キャピタルビル 6 F

【弁理士】

【氏名又は名称】 鳥井 清

【電話番号】 045-201-7858

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9806413

【書類名】 明細書
【発明の名称】 イメージセンサ
【特許請求の範囲】

【請求項 1】 画素単位による固体撮像素子をマトリクス状に配設し、各 1 ライン分の画素列を順次選択して、逐次選択された画素列における各画素を順次選択して各画素のセンサ信号を時系列的に読み出すようにしたイメージセンサにあって、1 ライン分の画素列を所定数の画素構成からなるブロックによって複数に等分割して、その分割された最初のブロックから順番に各画素のセンサ信号を順次読み出す第 1 の走査手段と、その読み出されたブロックにおける各画素のセンサ信号をそれぞれ一時蓄積するバッファ手段と、その一時蓄積された各画素のセンサ信号を順次読み出す第 2 の走査手段とを設けたことを特徴とするイメージセンサ。

【請求項 2】 第 1 の走査手段が 1 ライン分の各画素を順次選択する信号を送出する画素選択回路とその選択出号に応じて各画素のセンサ信号を出力させるスイッチ回路とによって構成され、第 2 の走査手段が 1 ブロック分の各画素を順次選択する信号を送出する画素選択回路とその選択出号に応じて各画素のセンサ信号を出力させるスイッチ回路とによって構成されたことを特徴とする請求項 1 の記載によるイメージセンサ。

【請求項 3】 第 1 の走査手段によるブロックにおける各画素の読出し系統に、各画素から読み出されるセンサ信号をバイアス電圧が印加された基準抵抗によって電圧値として規定するバイアス回路を設けたことを特徴とする請求項 1 の記載によるイメージセンサ。

【請求項 4】 第 1 の走査手段および第 2 の走査手段における画素選択回路が、シフトレジスタまたはデコード回路からなることを特徴とする請求項 2 の記載によるイメージセンサ。

【請求項 5】 第 1 の走査手段における画素選択回路による画素の選択信号を、1 ブロック分の画素を選択するのに相当する時間持続させるようにしたことを特徴とする請求項 2 の記載によるイメージセンサ。

【請求項 6】 固体撮像素子が、入射光量に応じて光電変換素子に流れるセ

ンサ電流を弱反転状態で動作するトランジスタによって対数特性をもって電圧信号に変換して、その変換された電圧信号に応じたセンサ出力を生ずるようにした光センサ回路であることを特徴とする請求項1の記載によるイメージセンサ。

【請求項7】 光検知に先がけて、弱反転状態で動作するMOS型トランジスタのドレイン電圧を光検知時の定常値よりも低い値に切り換えることにより、光電変換素子の寄生容量に残留する電荷を排出して初期化するようにしたことを特徴とする請求項6の記載によるイメージセンサ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は、画素単位による固体撮像素子をマトリクス状に配設し、各1ライン分の画素列を順次選択して、逐次選択された画素列における各画素を順次選択して各画素のセンサ信号を時系列的に読み出すようにしたイメージセンサに関する。

【0002】

【従来の技術】

従来、イメージセンサにおける画素単位となる固体撮像素子として、図1に示すように構成された光センサ回路が用いられたものがある。

【0003】

その光センサ回路は、光検知時における入射光 L_s の光量に応じたセンサ電流を生ずる光電変換素子としてのフォトダイオードPDと、そのフォトダイオードPDに流れるセンサ電流をサブスレッショルド領域の特性を利用した弱反転状態で対数特性をもって電圧信号 V_{pd} に変換するトランジスタQ1と、その変換された電圧信号 V_{pd} を増幅するトランジスタQ2と、読出し信号 V_s のパルスタイミングをもってセンサ信号 S_o を出力するトランジスタQ3とによって構成され、ダイナミックレンジを拡大して光信号の検出を高感度で行わせることができるようになっている。そして、光検知に先がけてトランジスタQ1のドレイン電圧VDを所定時間だけ定常値よりも低く設定して、フォトダイオードPDの寄生容量Cに蓄積された残留電荷を放電させて初期化することにより、センサ電流に

急激な変化が生じても即座にそのときの入射光 L_s の光量に応じた電圧信号 V_{pd} が得られるようにして、入射光量が少ない場合でも残像が生ずることがないようにしている（特開2000-329616号公報参照）。

【0004】

図2は、その光センサ回路における各部信号のタイムチャートを示している。ここで、 t_1 は初期化のタイミングを、 t_2 はセンサ信号 S_o の出力タイミングを、 T は光検知時の寄生容量 C における電荷蓄積期間をそれぞれ示している。

【0005】

図3は、その光センサ回路における入射光量に応じたセンサ電流に対するセンサ信号 S_o の出力特性を示している。それは、フォトダイオードPDに流れるセンサ電流が多いときには対数出力特性を示し、センサ電流が少ないときには寄生容量 C の充電に応答遅れを生じてほぼ線形の非対数出力特性を示している。図中、WAは非対数応答領域を示し、WBは対数応答領域を示している。

【0006】

図4は、このような光センサ回路を画素単位として、画素をマトリクス状に複数配設して、各画素のセンサ信号の時系列的な読出し走査を行わせるようにした従来のイメージセンサの構成例を示している。

【0007】

そのイメージセンサは、 $D_{11} \sim D_{44}$ からなる 4×4 の画素をマトリクス状に配設して、図示しないECUの制御下において、各1ライン分の画素列を画素列選択回路1から順次出力される選択信号 $LS_1 \sim LS_4$ によって選択し、その選択された画素列における各画素を、画素選択回路2から順次出力される選択信号 $DS_1 \sim DS_4$ によってスイッチ回路3における各対応するアナログスイッチ $SW_1 \sim SW_4$ が逐次オン状態にされることによって各画素のセンサ信号 S_o が時系列的に読み出されるようになっている。そして、逐次読み出された各画素のセンサ信号 S_o が、基準抵抗 R を介してバイアス電圧 V_{cc} が印加されることによって規定された電圧信号 V_o として出力するようになっている。図中、4は各画素における前記トランジスタ Q_1 のゲート電圧 V_G 用電源であり、6はそのドレイン電圧 V_D 用電源である。また、5はトランジスタ Q_1 のドレイン電圧 V_D

を所定のタイミングをもって定常時のハイレベルHおよび初期化時のローレベルLに切り換える電圧切換回路である。

【0008】

図5は、このように構成されたイメージセンサにおける各部信号のタイムチャートを示している。

【0009】

しかして、このように構成された従来のイメージセンサにあっては、各画素のセンサ信号 S_o を電圧信号 V_o に変換して出力させる際の信号駆動能力が低く、走査速度を上げると各画素の電圧信号 V_o が十分な飽和レベルまで達しないうちに出力してしまうことになるので、高速での読出し走査を行わせることができないものになっている。

【0010】

そのため、従来では、図6に示すように、1ライン分の各画素の出力系統に、各画素から読み出されるセンサ信号 S_o をバイアス電圧 V_{cc} が印加された基準抵抗 R によって規定することによりそれぞれ電圧信号 V_o に変換するバイアス回路7を設けて、信号駆動能力を高めて高速での読出し走査を行わせることができるようにしている。

【0011】

しかし、その構成によるのでは、1ライン分の各画素の出力系統にそれぞれ設けられた多数の基準抵抗 R に通電しなければならず、消費電力が大きなものになっている。また、画素選択回路2によって選択された画素の電圧信号 V_o が出力するまでに複数のアナログスイッチ SW （トランジスタスイッチ）の容量を駆動しなければならず、未だ高速での読出し走査を充分に行うことができないものになっている。

【0012】

そこで、図7に示すように、バイアス回路7の出力側における各信号線にそれぞれバッファ増幅器 BF を接続したバッファ回路8を設けて、画素選択回路2によって選択された各画素の電圧信号 V_o をバッファ回路8に一時集中的に蓄積させて、その蓄積された各画素の電圧信号 V_o を切り替えて出力させることで、信

号駆動能力を十分に高めて高速での読出し走査を行わせるようにすることが考えられている。

【0013】

しかし、その構成によっても、1ライン分の各画素の出力系統にそれぞれ設けられた多数のバッファ増幅器BFに通電しなければならず、消費電力の面でより不利なものになってしまう。

【0014】

【発明が解決しようとする課題】

解決しようとする問題点は、画素単位による固体撮像素子をマトリクス状に配設し、各1ライン分の画素列を順次選択して、逐次選択された画素列における各画素を順次選択して各画素のセンサ信号を時系列的に読み出すようにしたイメージセンサにあって、1ライン分の各画素の出力系統に、各画素から読み出されるセンサ信号をバイアス電圧が印加された基準抵抗によって規定することによりそれぞれ電圧信号に変換するバイアス回路およびその出力側における各信号線にそれぞれバッファ増幅器を接続したバッファ回路を設けて、バイアス回路から順次出力する各画素の電圧信号をバッファ回路に一時集中的に蓄積したうえで、その蓄積された各画素の電圧信号を切り替えて出力させるようにするのは、信号駆動能力を高めて高速での読出し走査が可能になるが、1ライン分の各画素の出力系統にそれぞれ設けられた多数の基準抵抗およびバッファ増幅器に通電しなければならず、消費電力が大きくなってしまうことである。

【0015】

【課題を解決するための手段】

本発明は、画素単位による固体撮像素子をマトリクス状に配設し、各1ライン分の画素列を順次選択して、逐次選択された画素列における各画素を順次選択して各画素のセンサ信号を時系列的に読み出すようにしたイメージセンサにあって、高速での読出し走査を行わせるとともに、消費電力の抑制を有効に図るべく、1ライン分の画素列を所定数の画素構成からなるブロックによって複数に等分割して、その分割された最初のブロックから順番に各画素のセンサ信号を順次読み出す第1の走査手段と、その読み出されたブロックにおける各画素のセンサ信号

をそれぞれ一時蓄積するバッファ手段と、その一時蓄積された各画素のセンサ信号を順次読み出す第2の走査手段とを設けるようにしている。

【0016】

【実施例】

図8は、本発明によるイメージセンサの一実施例を示している。

【0017】

それは、基本的に、前述した図4に示したものと同様に、光センサ回路を画素単位として、複数の画素をマトリクス状に配設して、画素列選択回路1および画素選択回路2の駆動によってスイッチ回路3を介して各画素のセンサ信号の時系列的な読出し走査が行われるように構成されている。ここでは、1ライン分の画素列が16個の画素からなっており、第1列目の画素をD11～D116として、第2列目の画素をD21～D216として表示している。

【0018】

その構成にあって、特に本発明では、1ライン分の画素列を、2つの画素の組合せ（例えばD11とD12、D13とD14、…、D115とD116の各組）からなるブロックによって8つに等分割して、各ブロックにおける第1の画素すなわち奇数番目の画素（D11、D13、…、D115）のセンサ信号の出力ラインを共通にした信号線aと、各ブロックにおける第2の画素すなわち偶数番目の画素（D12、D14、…、D116）のセンサ信号の出力ラインを共通にした信号線bとをそれぞれ引き出すようにしている。

【0019】

そして、その各信号線a、bの系統に、1ブロック分の各画素のセンサ信号B1、B2を順次選択する信号を送出する画素選択回路9およびその選択出号に応じてアナログスイッチT1、T2を逐次オン状態にして各画素のセンサ信号B1、B2を出力させるスイッチ回路10を設けるとともに、各ブロックから読み出される画素のセンサ信号をバイアス電圧Vccが印加された基準抵抗Rによってそれぞれ電圧値として規定するバイアス回路11を設けるようにしている。

【0020】

そして、そのバイアス回路11の出力側における各信号線a、bにそれぞれバ

ッファ増幅器BFを接続したバッファ回路12を設けて、各画素の電圧信号V_oを一時集中的に蓄積して、その蓄積された各画素の電圧信号V_oを画素選択回路9によってアナログスイッチT1、T2を切り替えることにより、順次に外部へ出力させるようにしている。

【0021】

このような構成によれば、信号駆動能力を充分に高めて高速での読出し走査を行わせることが可能になる。そして、1ライン分の画素列をブロック単位に分割することによって引き出した2本の信号線a、bにだけバイアス回路11およびバッファ回路12が設けられているので、消費電力を最小限に抑制することができるようになる。

【0022】

なお、基準抵抗Rとしては、抵抗負荷やトランジスタ負荷などが利用できる。各画素のセンサ信号が電圧信号として出力するようになっている場合には、このバイアス回路11を設ける必要がない。

【0023】

図9は、図8の構成によるイメージセンサにおける動作状態の一例を示す各部信号のタイムチャートを示している。

【0024】

画素列選択信号LS1によってD11～D116からなる画素列が選択され、画素選択信号DS1～DS16に応じてアナログスイッチSW1～SW16が順次にオン状態になると、奇数番目の画素（D11、D13、…、D115）のセンサ信号B1が信号線aに読み出され、偶数番目の画素（D12、D14、…、D116）のセンサ信号B2が信号線bに読み出される。そして、バイアス回路11によって信号線a、bにそれぞれ読み出されたセンサ信号B1、B2が電圧信号に変換されて、バッファ回路12に一時集中的に蓄積されたうえで、画素選択回路9からの選択信号に応じてアナログスイッチT1、T2が交互にオン、オフされることによって、各画素D11～D116のセンサ信号V_oが時系列的に出力することになる。

【0025】

このようなイメージセンサにおける各画素の読出し走査は、図示しないECUの制御下において実行されることになる。

【0026】

図10は、画素選択回路2にシフトレジスタを用いた場合の構成例を示している。この構成によるシフトレジスタによれば、その各レジスタ出力DS1～DS16によって、図9に示すように、各画素を選択している間だけアナログスイッチSW1～SW16を順次にオン状態にすることができる。画素選択回路9にも同様のシフトレジスタが用いられる。

【0027】

図11は、画素選択回路2にデコーダ回路を用いた場合の構成例を示している。この構成によるデコーダ回路によれば、A0～A3の4ビットの信号入力に応じた各デコーダ出力DS1～DS16によって、図9に示すように、各画素を選択している間だけアナログスイッチSW1～SW16を順次にオン状態にすることができる。画素選択回路9にも同様のデコーダ回路が用いられる。

【0028】

また、図12は、図8の構成によるイメージセンサにおける動作状態の他の例を示す各部信号のタイムチャートを示している。

【0029】

この場合は、画素選択回路2による画素の選択信号（DS1～DS16）を、1ブロック分の2つの画素を選択するのに相当する時間持続させることによって各アナログスイッチSW1～SW16をその間オン状態にするようにしている。

【0030】

すなわち、この場合には各アナログスイッチSW1～SW16のオン期間が図9の制御の場合に比べて2倍になっている。それは、各画素から読み出されるセンサ信号が安定するので時間が2倍とれることになり、安定化時間が同じならば図9の制御の場合に比べて各画素のセンサ信号を読み出すための走査時間を2倍にすることができるようになる。

【0031】

図13は、この場合における画素選択回路2に用いられるデコーダ回路を示し

ている。この構成によるデコーダ回路によれば、A0～A3の4ビットの信号入力によってDS1とDS2、DS2とDS3、…、DS15とDS16を順次に選択することができる。

【0032】

また、この場合における画素選択回路2にシフトレジスタを用いる場合には、DATA入力に“11”を加えることによって図12に示すSW1～SW16のスイッチング動作を行わせることができるようになる。

【0033】

図14は、本発明によるイメージセンサの他の実施例を示している。

【0034】

この実施例では、1つのブロックを4つの画素の組合せとして1ライン分の画素列を4つに等分割して、各ブロックにおける第1の画素のセンサ信号の出力ラインを共通にした信号線aと、その第2の画素のセンサ信号の出力ラインを共通にした信号線bと、その第3の画素のセンサ信号の出力ラインを共通にした信号線cと、その第4の画素のセンサ信号の出力ラインを共通にした信号線dとをそれぞれ引き出すようにしている。

【0035】

そして、その各信号線a～dの系統に、1ブロック分の各画素のセンサ信号B1，B2，B3，B4を順次選択する信号を送出する画素選択回路9' およびその選択出号に応じてアナログスイッチT1，T2，T3，T4を逐次オン状態にして各画素のセンサ信号B1，B2，B3，B4を出力させるスイッチ回路10' を設けるとともに、各ブロックから読み出される画素のセンサ信号をバイアス電圧Vccが印加された基準抵抗Rによってそれぞれ電圧値として規定するバイアス回路11' およびその電圧値として規定された各画素の電圧信号を一時集中的に蓄積するバッファ回路12' を設けるようにしている。

【0036】

図15は、図14の構成によるイメージセンサにおける動作状態の一例を示す各部信号のタイムチャートを示している。

【0037】

画素列選択信号LS1によってD11～D116からなる画素列が選択され、画素選択信号DS1～DS16に応じてアナログスイッチSW1～SW16が順次にオン状態になると、各ブロックにおける第1番目の画素（D11，D15，D19，D113）のセンサ信号B1が信号線aに読み出され、各ブロックにおける第2番目の画素（D12，D16，D110，D114）のセンサ信号B2が信号線bに読み出され、各ブロックにおける第3番目の画素（D13，D17，D111，D115）のセンサ信号B3が信号線cに読み出され、各ブロックにおける第4番目の画素（D14，D18，D112，D116）のセンサ信号B4が信号線dに読み出される。そして、バイアス回路11'によって信号線a～dにそれぞれ読み出されたセンサ信号B1～B4が電圧信号に変換されて、バッファ回路12'に一時集中的に蓄積されたうえで、画素選択回路9からの選択信号に応じてアナログスイッチT1～T4が順次にオン，オフされることによって、各画素D11～D116のセンサ信号Voが時系列的に出力することになる。

【0038】

この場合は、画素選択回路2による画素の選択信号（DS1～DS16）を、1ブロック分の4つの画素を選択するのに相当する時間持続させることによって各アナログスイッチSW1～SW16をその間オン状態にするようにしている。

【0039】

すなわち、この場合には各アナログスイッチSW1～SW16のオン期間が図9の制御の場合に比べて4倍になっている。それは、各画素から読み出されるセンサ信号が安定するので時間が4倍とれることになり、安定化時間が同じならば図9の制御の場合に比べて各画素のセンサ信号を読み出すための走査時間を4倍にすることができるようになる。

【0040】

その際、例えば、各画素のセンサ信号が飽和するまでの所要時間が500nSである場合、4つの信号線a～dに設けられたバイアス回路9'によって、一画素の走査に必要な時間は $500\text{ nS} \div 4 = 125\text{ nS}$ にまで短縮することが可能になる。

【0041】

なお、本発明のイメージセンサに用いられる画素としては、図1に示す光センサ回路に限らず、その他CCDやMOS型撮像素子などの固体撮像素子が広く適用される。

【0042】

【発明の効果】

以上、本発明は、画素単位による固体撮像素子をマトリクス状に配設し、各1ライン分の画素列を順次選択して、逐次選択された画素列における各画素を順次選択して各画素のセンサ信号を時系列的に読み出すようにしたイメージセンサにあって、1ライン分の画素列を所定数の画素構成からなるブロックによって複数の等分割して、その分割された最初のブロックから順番に各画素のセンサ信号を順次読み出す第1の走査手段と、その読み出されたブロックにおける各画素のセンサ信号をそれぞれ一時蓄積するバッファ手段と、その一時蓄積された各画素のセンサ信号を順次読み出す第2の走査手段とを設けるようにしたもので、消費電力の抑制を有効に図りながら、各画素の読出し走査を高速で行わせることができるという利点を有している。

【図面の簡単な説明】

【図1】

イメージセンサの画素に用いられる光センサ回路の構成例を示す電気回路図である。

【図2】

その光センサ回路における各部信号のタイムチャートである。

【図3】

その光センサ回路におけるセンサ電流に対するセンサ信号の出力特性を示す図である。

【図4】

従来の光センサ回路を画素に用いたイメージセンサの構成例を示す回路構成図である。

【図5】

その従来のイメージセンサにおける各部信号のタイムチャートである。

【図 6】

従来のイメージセンサの他の構成例を示す回路構成図である。

【図 7】

従来のイメージセンサのさらに他の構成例を示す回路構成図である。

【図 8】

本発明によるイメージセンサの一実施例を示す回路構成図である。

【図 9】

その一実施例によるイメージセンサにおける動作状態の一例を示す各部信号のタイムチャートである。

【図 10】

その一実施例によるイメージセンサにおける画素選択回路に用いられるシフトレジスタの一構成例を示す回路構成図である。

【図 11】

その一実施例によるイメージセンサにおける画素選択回路に用いられるデコーダ回路の一構成例を示す回路構成図である。

【図 12】

その一実施例によるイメージセンサにおける動作状態の他の例を示す各部信号のタイムチャートである。

【図 13】

その一実施例によるイメージセンサにおける画素選択回路に用いられるデコーダ回路の他の構成例を示す回路構成図である。

【図 14】

本発明によるイメージセンサの他の実施例を示す回路構成図である。

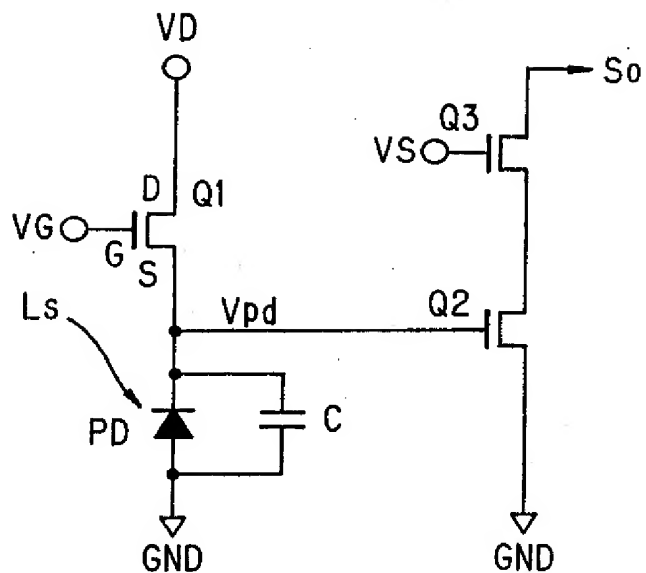
【図 15】

その他の実施例によるイメージセンサにおける動作状態の一例を示す各部信号のタイムチャートである。

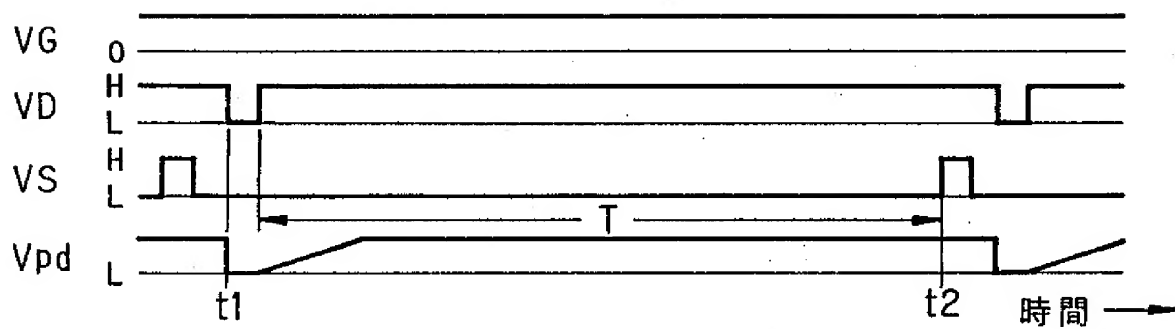
【符号の説明】

1 画素列選択回路

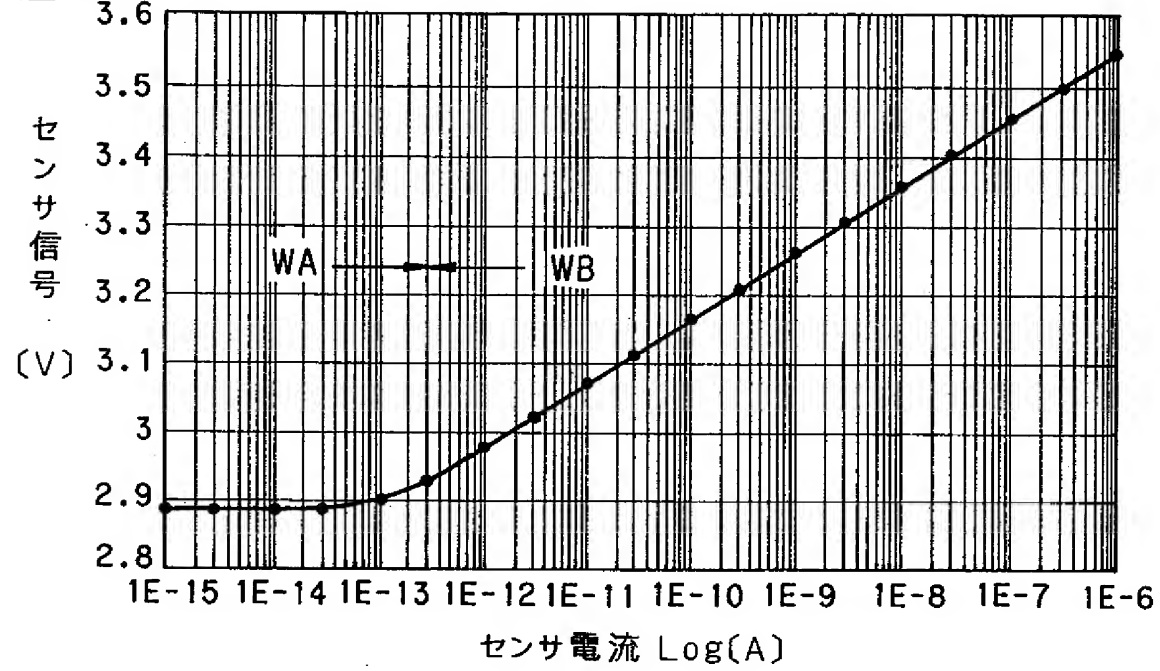
- 2 画素選択回路
- 3 スイッチ回路
- 9 画素選択回路
- 1 0 スイッチ回路
- 1 1 バイアス回路
- 1 2 バッファ回路
- 9' 画素選択回路
- 1 0' スイッチ回路
- 1 1' バイアス回路
- 1 2' バッファ回路



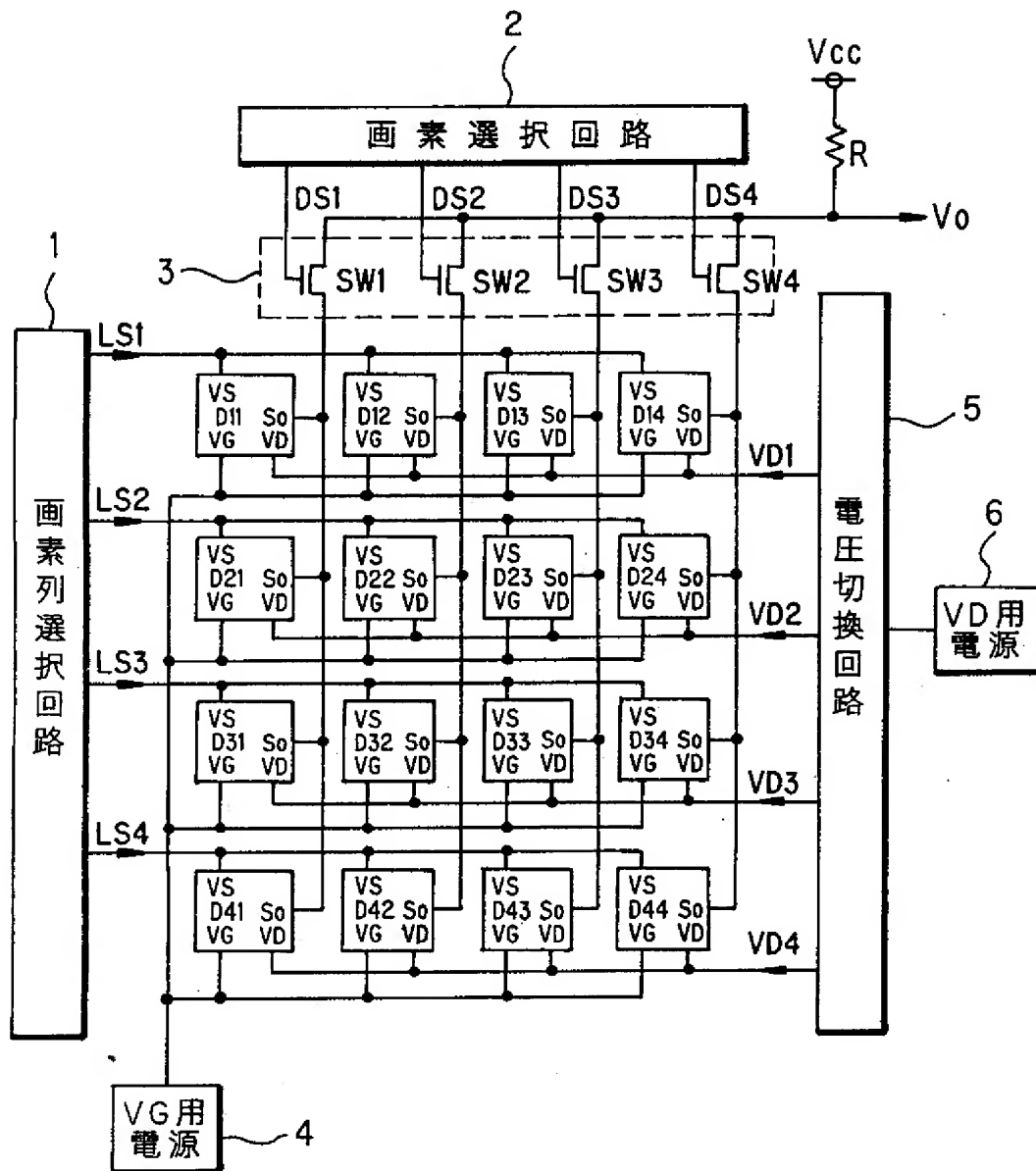
【図 2】



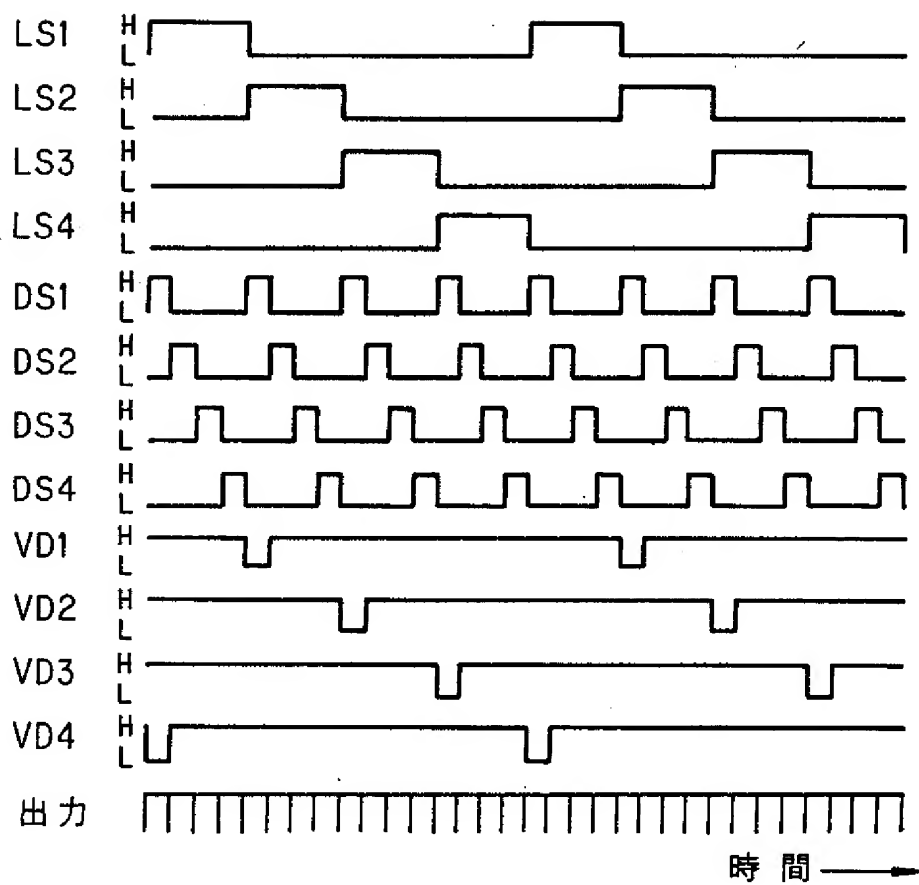
【図3】



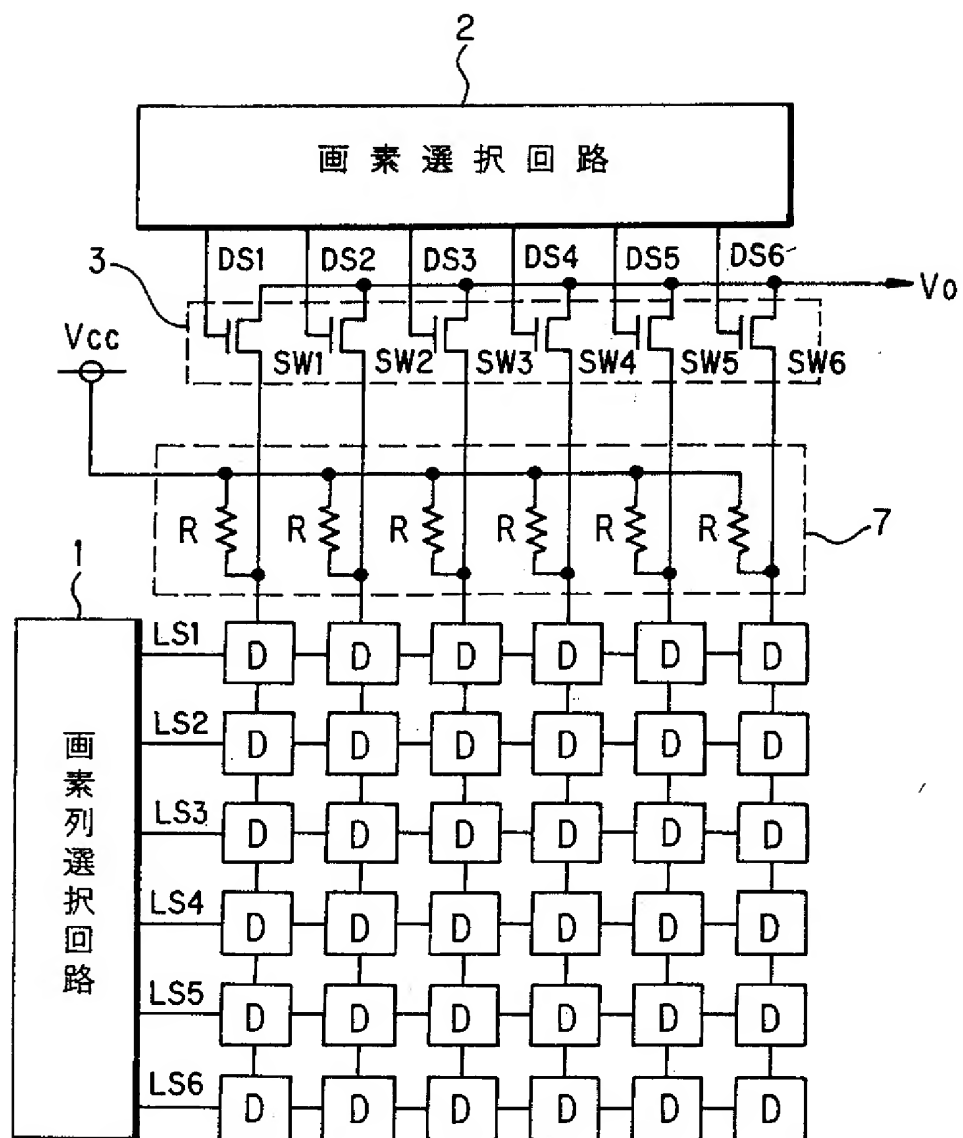
【図4】



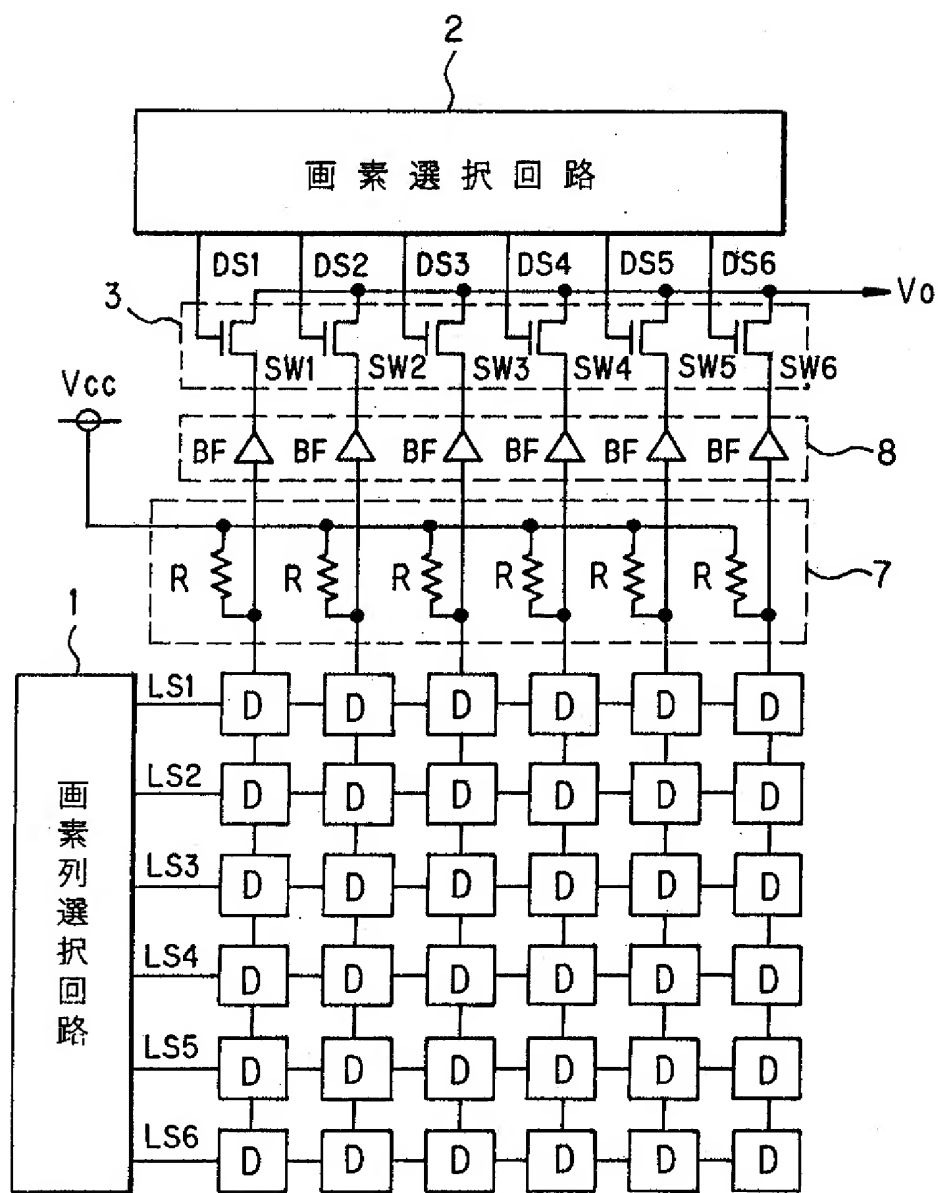
【図 5】

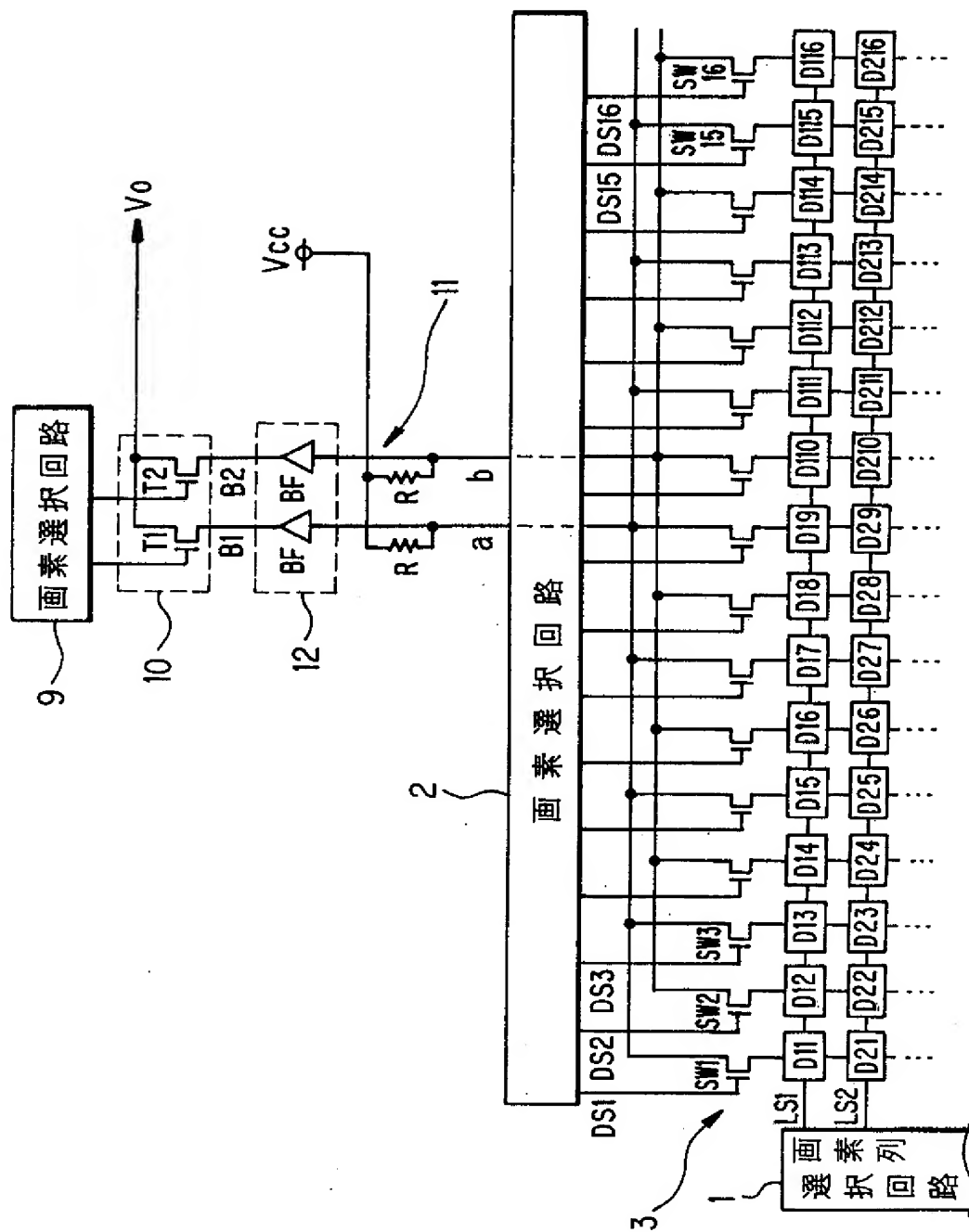


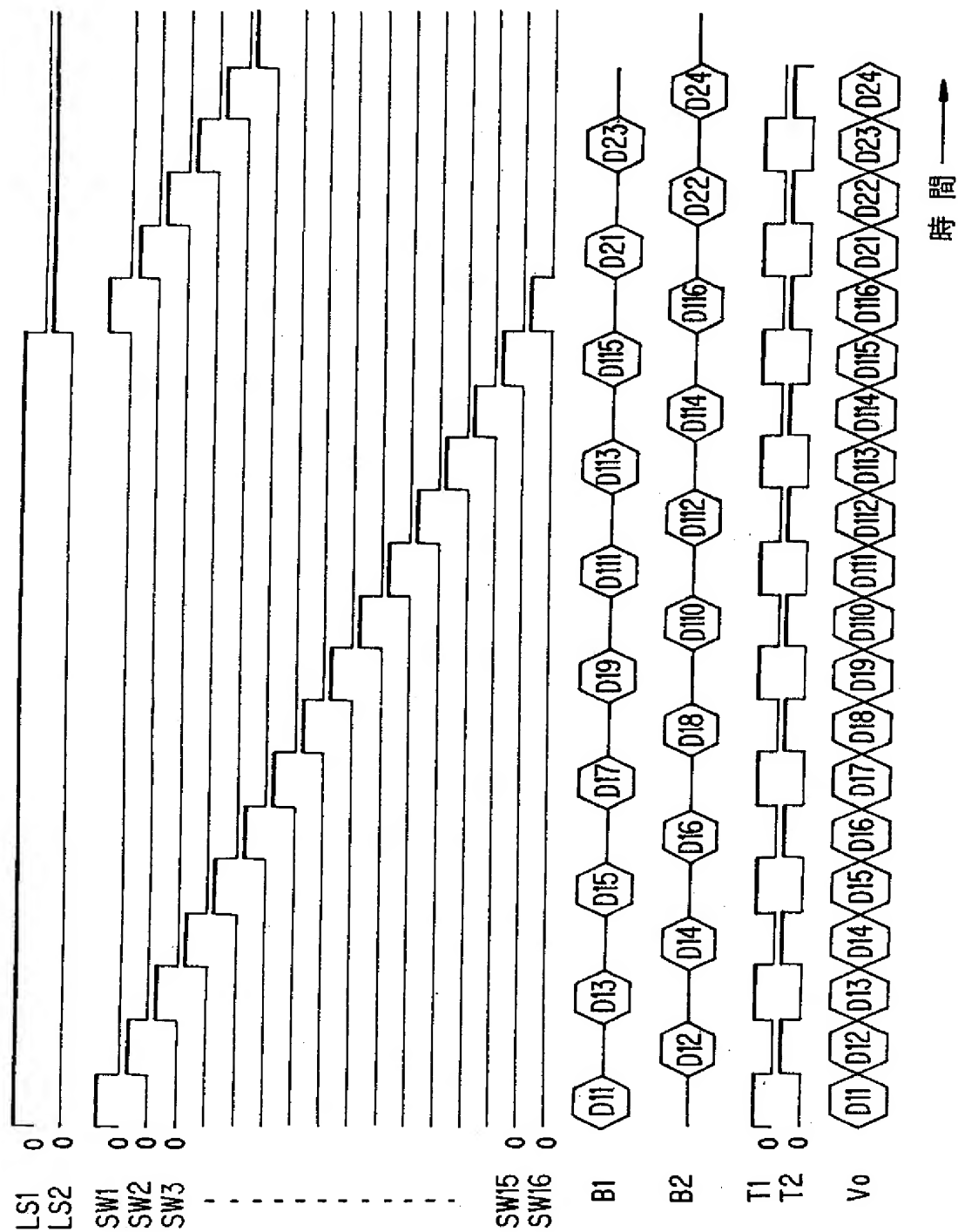
【図6】

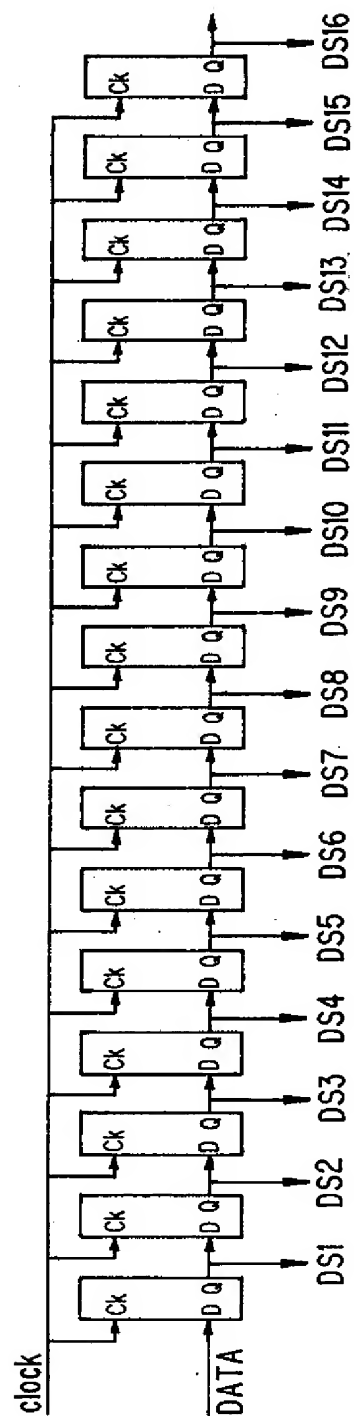


【図7】

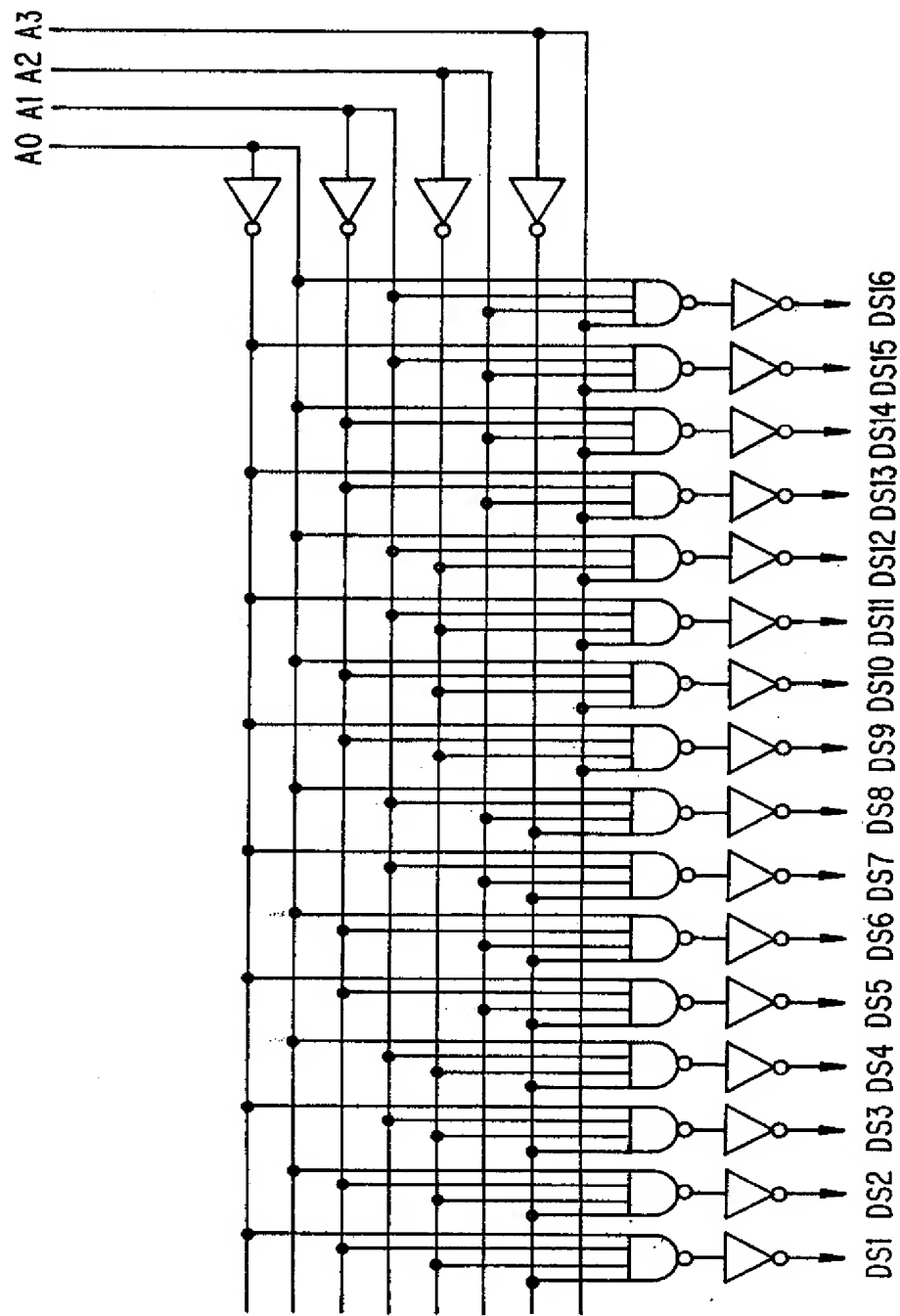


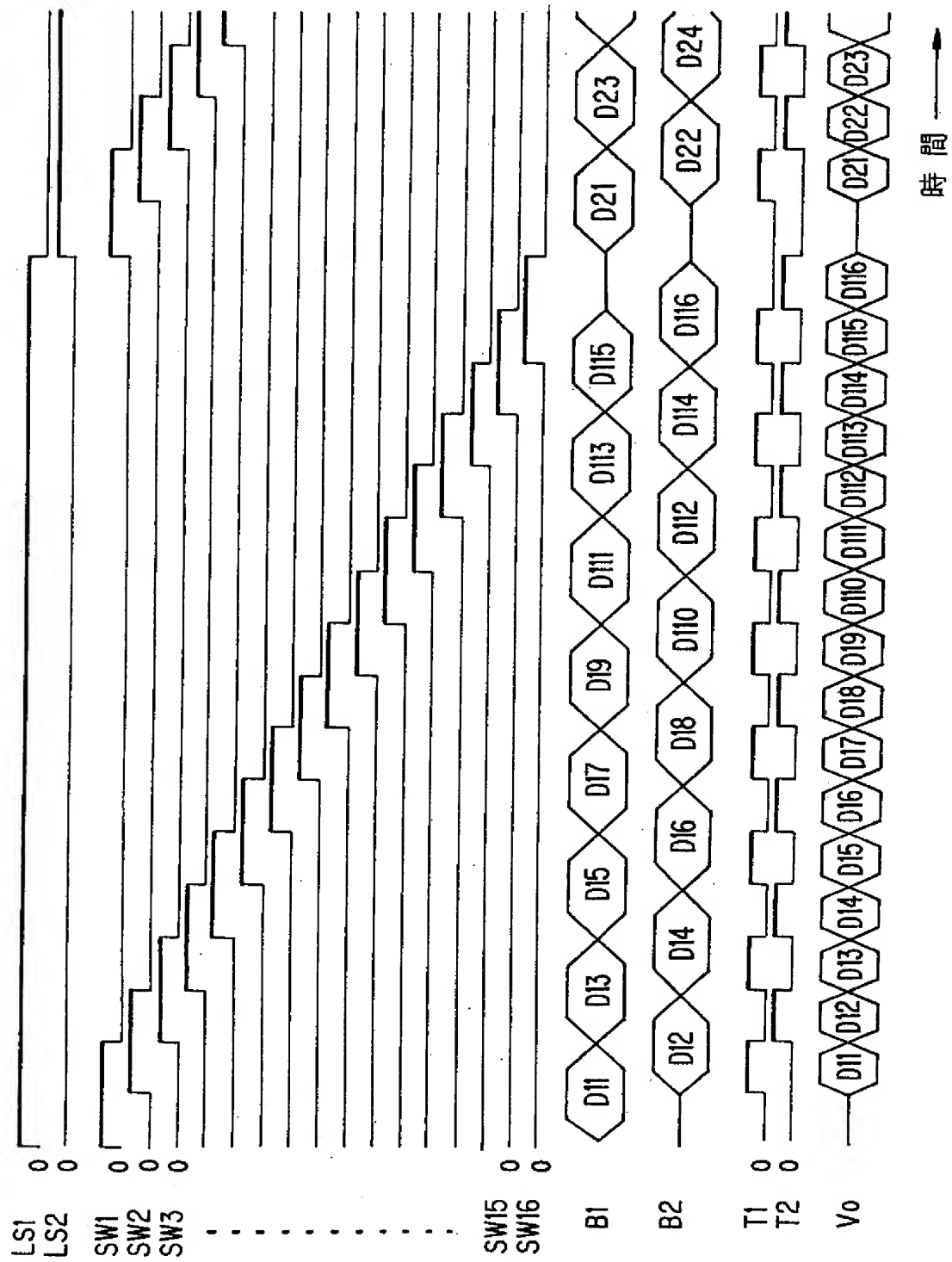


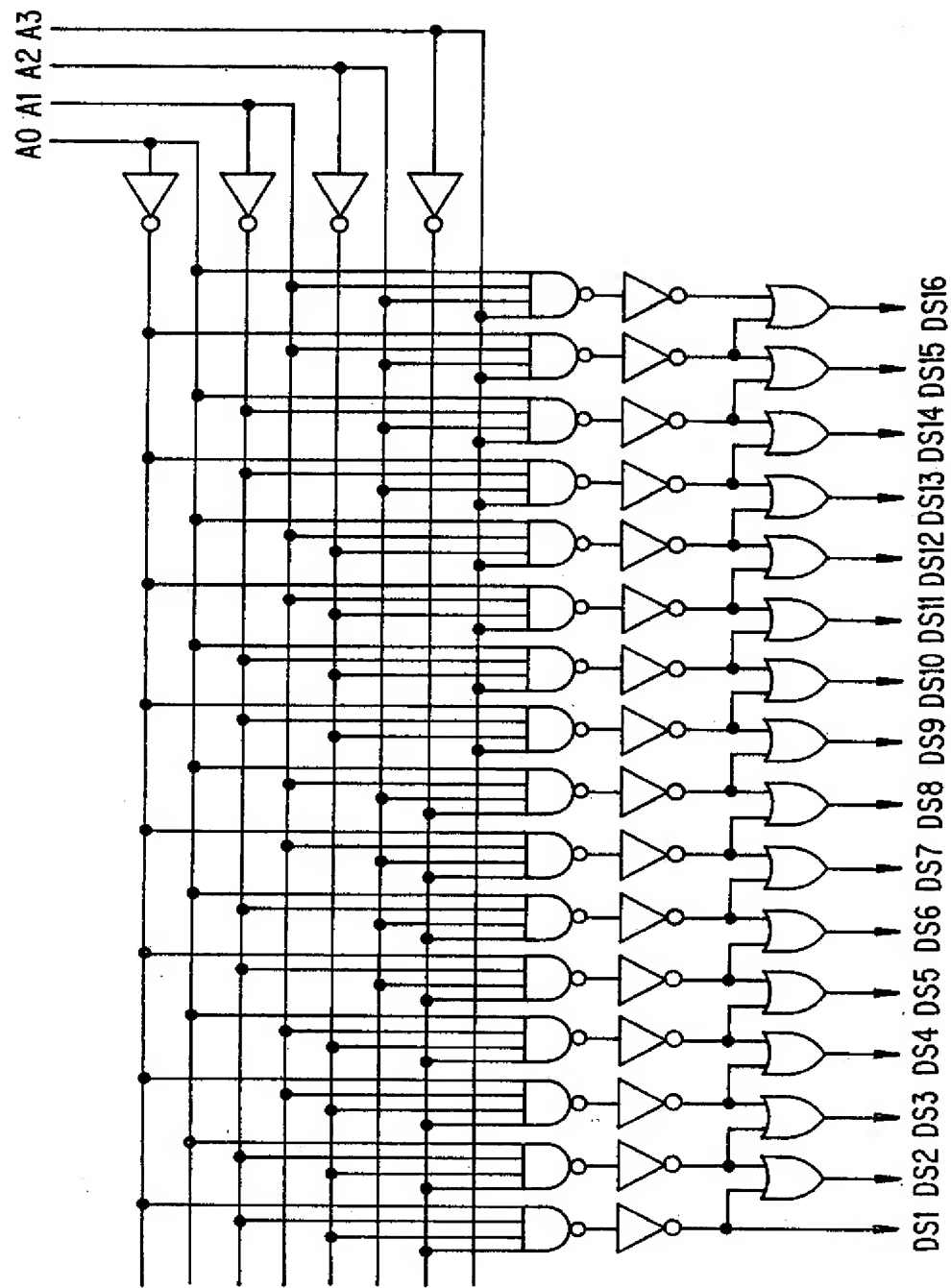


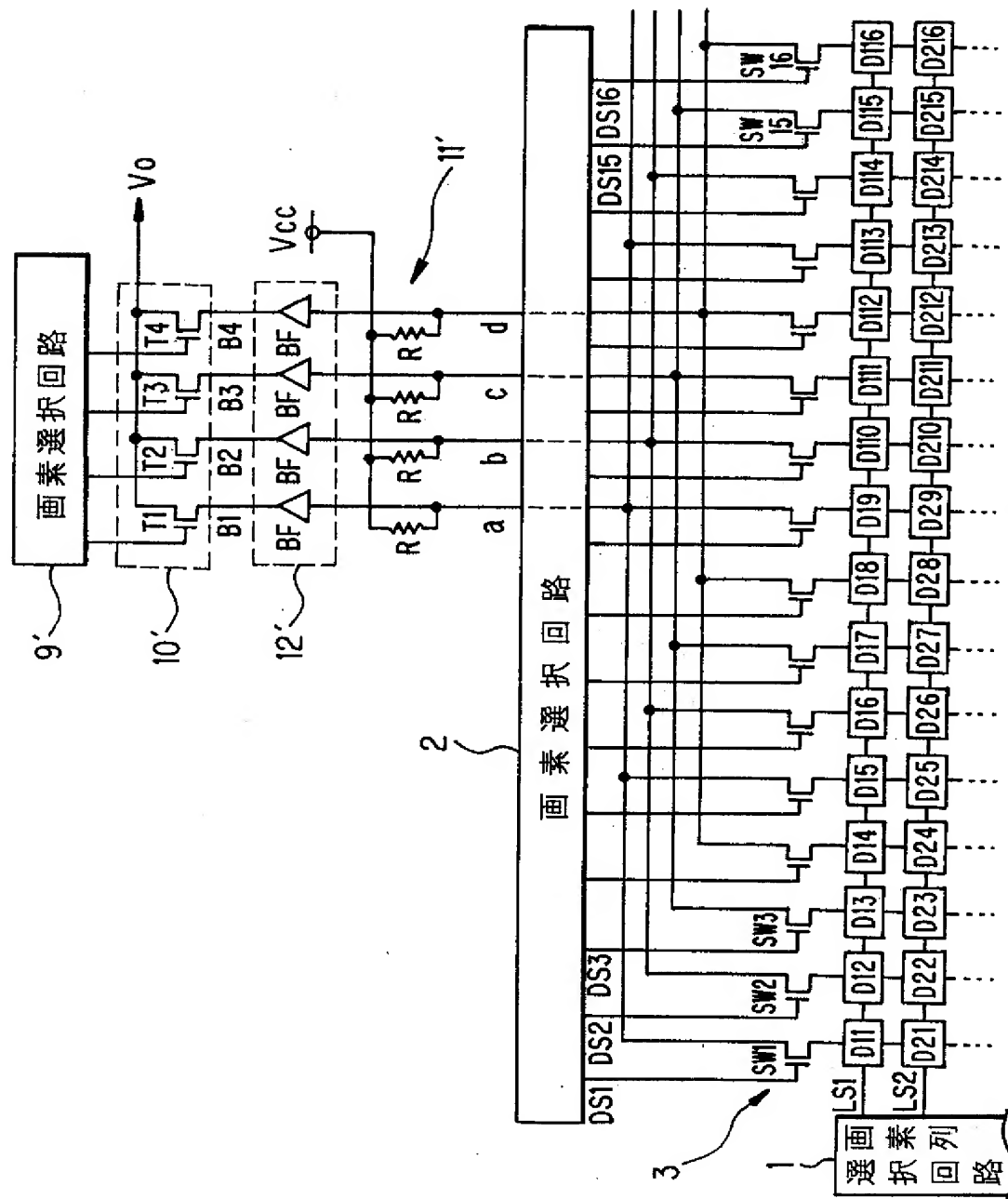


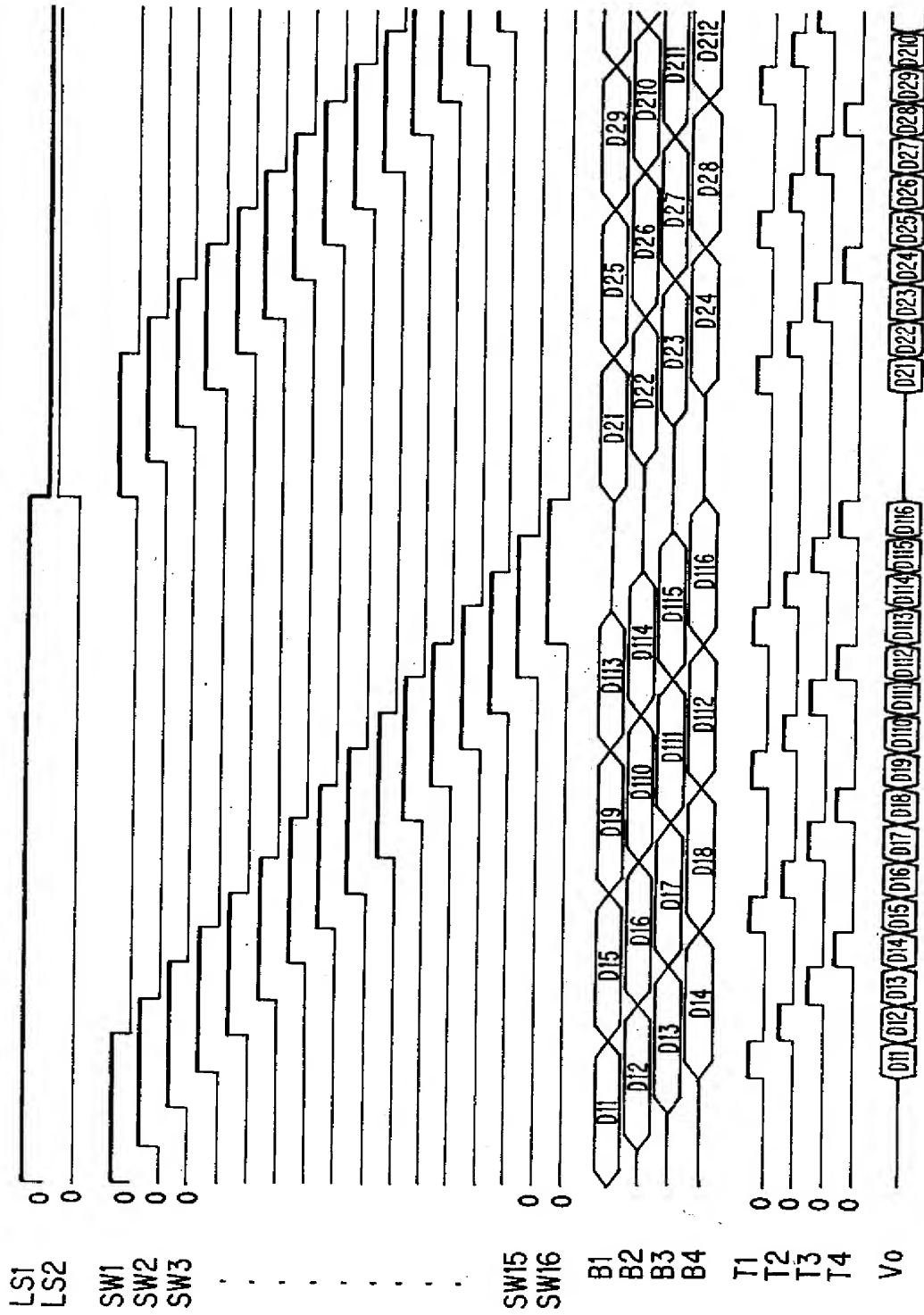
【图 1 1】











【書類名】 要約書

【要約】

【目的】 画素単位による固体撮像素子をマトリクス状に配設し、各1ライン分の画素列を順次選択して、逐次選択された画素列における各画素を順次選択して各画素のセンサ信号を時系列的に読み出すようにしたイメージセンサにあって、消費電力の抑制を有効に図りながら、各画素の読出し走査を高速で行わせることができるようにする。

【構成】 1ライン分の画素列を所定数の画素構成からなるブロックによって複数に等分割して、その分割された最初のブロックから順番に各画素のセンサ信号を順次読み出す第1の走査手段と、その読み出されたブロックにおける各画素のセンサ信号をそれぞれ一時蓄積するバッファ手段と、その一時蓄積された各画素のセンサ信号を順次読み出す第2の走査手段とを設けるようにする。

【選択図】 図8

出願人履歴

0 0 0 0 0 5 3 2 6

19900906

新規登録

5 9 1 0 6 1 8 8 4

東京都港区南青山二丁目1番1号

本田技研工業株式会社